

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關  
國際事務局



A standard linear barcode is located at the bottom of the page, spanning most of the width. It is used for tracking and identification of the journal issue.

(43) 国際公開日  
2005年2月17日 (17.02.2005)

PCT

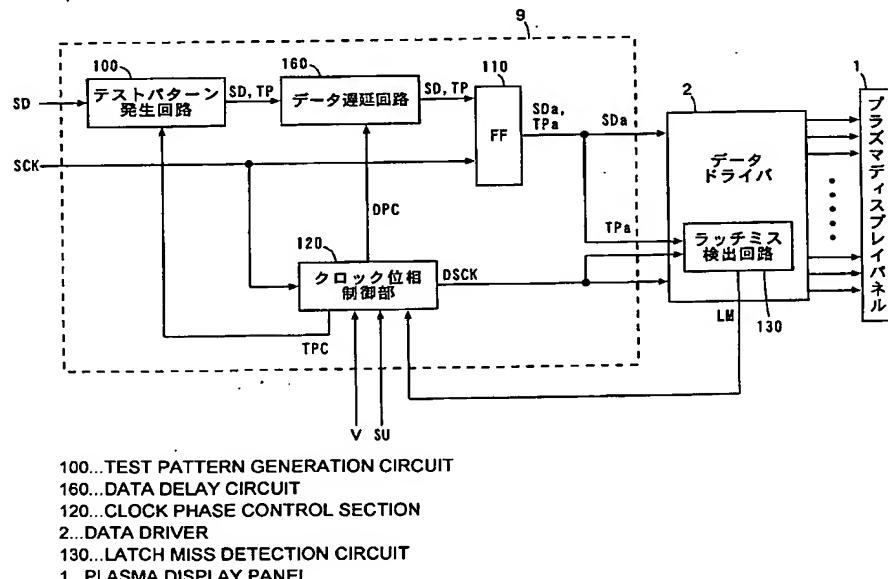
(10) 国際公開番号  
**WO 2005/015528 A1**

(51) 国際特許分類7:	G09G 3/28, 3/20	
(21) 国際出願番号:	PCT/JP2004/011504	
(22) 国際出願日:	2004年8月4日 (04.08.2004)	
(25) 国際出願の言語:	日本語	
(26) 国際公開の言語:	日本語	
(30) 優先権データ:		
特願2003-289012	2003年8月7日 (07.08.2003)	JP
特願2004-156409	2004年5月26日 (26.05.2004)	JP
(71) 出願人(米国を除く全ての指定国について):	松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).	
(72) 発明者; および		
(75) 発明者/出願人(米国についてのみ):	田中 和人 (TANAKA, Kazuhito); 丹羽 彰夫 (NIWA, Akio); 笠原光弘 (KASAHARA, Mitsuhiro); 益盛忠行 (MASUMORI, Tadayuki); 清家守 (SEIKE, Mamoru).	
(74) 代理人:	福島 祥人 (FUKUSHIMA, Yoshito); 〒5640052 大阪府吹田市広芝町4番1号江坂・ミタカビル6階 Osaka (JP).	
(81) 指定国(表示のない限り、全ての種類の国内保護が可能):	AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.	
(84) 指定国(表示のない限り、全ての種類の広域保護が可能):	ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,	

〔統葉有〕

**(54) Title: DISPLAY DEVICE**

(54) 発明の名称: 表示装置



**(57) Abstract:** A test pattern generation circuit (100) outputs a test pattern (TP) during a clock phase adjustment period. A flip-flop circuit (110) latches the test pattern (TP) at the fall of a shift clock (SCK) and outputs it as a test pattern (Tpa). A latch miss detection circuit (130) outputs a latch miss detection signal (LM) indicating presence/absence of a latch miss generation according to the test pattern (TPa) and a delay shift clock (DSCK). A clock phase control section (120) delays the shift clock (SCK) according to the latch miss detection signal (LM), thereby outputting a delay shift clock (DSCK).

〔続葉有〕



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:  
— 国際調査報告書

---

(57) 要約:

テストパターン発生回路（100）は、クロック位相調整期間において、テストパターン（TP）を出力する。フリップフロップ回路（110）は、シフトクロック（SCK）の立ち下がりでテストパターン（TP）をラッチし、テストパターン（TPa）として出力する。ラッチミス検出回路（130）は、テストパターン（TPa）および遅延シフトクロック（DCK）に基づいてラッチミス発生の有無を示すラッチミス検出信号（LM）を出力する。クロック位相制御部（120）は、ラッチミス検出信号（LM）に基づいてシフトクロック（SCK）を遅延させることにより遅延シフトクロック（DCK）を出力する。